

Entwurf eines EMV-konformen DC/DC-Schaltnetzteils für den Automobilbereich

Markus Bäcker
Otto-von-Guericke-Universität Magdeburg
Fakultät für Elektrotechnik

Abstract— In diesem Paper sollen die einzelnen Schritte vom Entwurf über die Fertigung bis zur Messung eines EMV konformen DC/DC Wandlers, unter Berücksichtigung spezieller Anforderungen für den Automobilbereich, exemplarisch dargestellt werden.

I. EINLEITUNG

In realen elektrischen Schaltungen treten oftmals unerwünschte Nebeneffekte in Form von elektromagnetischen Interferenzen auf. Diese können entweder abgestrahlt oder über Leiterbahnen übertragen werden. Bei Schaltnetzteilen treten diese Störungen aufgrund hoher Schaltfrequenzen und großer Ströme verstärkt auf. Da Schaltnetzteile durch ihre hohe Effizienz jedoch unverzichtbar sind, müssen geeignete Maßnahmen ergriffen werden, um insbesondere den erhöhten Anforderungen an Störaussendungen im Automobilbereich (CISPR 25 Class 5) gerecht zu werden. Außerdem müssen die verwendeten Komponenten den Qualitätsanforderungen für Fahrzeuge (AEC-Q200-Grade-1) genügen. Für die Umsetzung eines 12 V-auf-5 V-Tiefsetzstellers mit 10 W-Leistungsumsatz soll der TPS54362-Q1-Chip von Texas Instruments verwendet werden.

II. ENTWICKLUNG EINES FILTERDESIGNS

A. Schaltungssimulation

Um die Störaussendung der Schaltung simulieren zu können wurde die Software TINA-TI sowie MATLAB eingesetzt. Die Messpunkte wurden gemäß der LISN-Spezifikation gewählt. Als Last wurde ein $2.5\ \Omega$ -Widerstand verwendet. Wichtig ist für alle folgenden Simulationen die Festlegung der Schaltfrequenz auf 500 kHz und des Eingangsstromes auf 1 A Effektivwert.

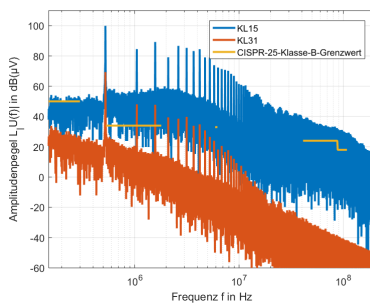


Fig. 1: Störaussendung der ungefilterten Schaltung mit parasitären Eigenschaften

Aus der Simulation ist ersichtlich, dass die Grenzwerte nach CISPR 25 überschritten werden. Ursache sind die Schaltfrequenz und ihre Harmonischen, sowie Resonanzen die sich aus den parasitären Eigenschaften der Komponenten ergeben. Es ist also wahrscheinlich, dass der Einsatz einer solchen Schaltung Störungen im Bordnetz sowie im Empfangsbereich der Informationssysteme verursachen würde.

B. Einhaltung der Spezifikationen

Da die Störungen vorrangig durch steile Schaltflanken am Eingang des IC hervorgerufen werden, empfiehlt sich zunächst der Einsatz eines LC-Tiefpassfilters am Eingang.

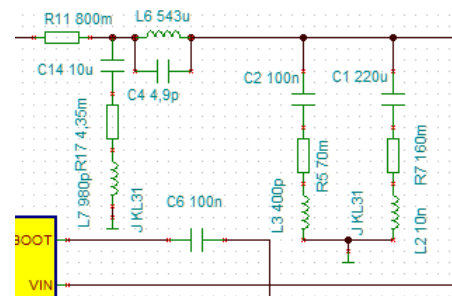


Fig. 2: Tiefpassfilter 2. Ordnung am Eingang

III. AUSWAHL DER KOMPONENTEN

- geschirmte Ferritspule 560 μH , AEC-Q200, Coilcraft MSS1278T-564
- MLCC AVX 22201C106K4T2A 10 μF , 100 V, Abmessung 2220, Abweichung 10%

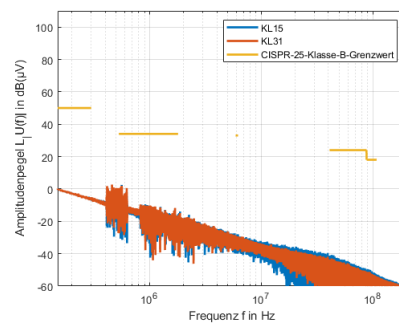


Fig. 3: Ergebnis der Fourier-Simulation der LC-befilterten Schaltung

Die in Abb. 2 beschriebene Schaltung weist eine Dämpfung von ca. -90 dB bei 500 kHz auf. Für die Simulation wurden die Bauteilparameter des Filters anhand ihrer Datenblätter an die Betriebsumgebung angepasst und parasitäre Ersatzschaltbilder hinzugefügt. Die parasitären Ersatzschaltbilder wurden entweder aus der Datenbank von Murata(Simsurfing) bestimmt oder durch von Coilcraft gemessene Resonanzfrequenzen(SRF) errechnet. Allerdings sind die verwendeten Bauteile serienbedingten Toleranzen von bis zu 10% sowie Temperaturabhängigkeiten unterworfen, welche nicht berücksichtigt wurden. Fügt man auf der Ausgangsseite ebenfalls typische parasitäre Eigenschaften hinzu, so verschlechtert sich die Dämpfung um ca. 10 dB. Da die realen Eigenschaften allerdings nochmals abweichend sind und die Reserven ausreichend scheinen, wurde auf weitere Anpassung verzichtet.

Falls die Schaltung mit mehr als 10 W Ausgangsleistung betrieben werden soll, müssen kleinere Induktivitäten der selben Coilcraft Baureihe (z.B. $220\ \mu\text{H}$) verwendet werden, da sonst der höhere Eingangsstrom zu Überhitzung führen würde. Die Störaussendung verstärkt sich dadurch um ca. 10 dB und fällt weniger steil ab. Sollte dieses Design realisiert werden, wäre ein Vergleich der beiden Varianten des LC-Filters, inklusive Temperaturmessung, sicherlich interessant.

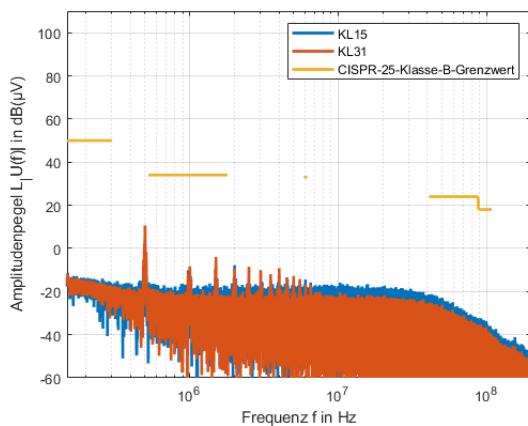


Fig. 4: Ergebnis der Fourier-Simulation der befilterten Schaltung mit $220\ \mu\text{H}$ und $10\ \mu\text{F}$ Eingangfilter

A. Bedingungen

Nachdem die verwendeten Bauteile erfolgreich simuliert wurden gilt es, diese in sinnvoller Weise auf einer Leiterplatte anzuordnen. Um ein optimales Design hinsichtlich EMV-Konformität sowie Platz, Kosten und auch thermischer Ableitung zu gewährleisten, wurde auf folgende Paradigmen geachtet [1]:

- Leiterbahnen mit großen di/dt Strömen so kurz und breit wie möglich, sowie deren Filter dicht beieinander. So werden Abstrahlungen dieser Pfade verringert.
- Ausnutzen der 4 zur Verfügung stehenden Leiterplattebenen durch hinzufügen von Masseebenen, welche

Signal und Leistungspfade trennt und weitere Filterkapazität bewirkt (bis zu $100\ \text{pF}$).

- Glättungskondensatoren nah an V_{in} -Pin
- kurze Feedbackpfade weit entfernt von Induktivitäten und Leistungspfaden.

B. Leiterplattendesign

Um das Design aus der Simulationssoftware TINA in für PCB-Hersteller gebräuchliche Gerber-Dateien umzuwandeln, benötigt man EDA-Software, in diesem Fall KiCad. Dort wird zunächst ein Schaltplan samt aller von TI empfohlenen [2] Komponenten erstellt. Der Chip-Footprint wurde mittels der Software Ultra Librarian konvertiert und in die KiCad-Bibliothek eingefügt. Einige Bauformen wurden manuell erstellt, da sie in keiner Datenbank auffindbar waren. Die Komponenten wurden dann verbunden und mit reale Footprints versehen. Danach wird das Design in PCBnew exportiert, um die Lagen und Traces zu erstellen und das Routing auf dem physischen Board anzupassen. Dafür sind auch die Designvorgaben (DRC) des PCB-Herstellers zu beachten.

Zunächst werden die 4 Lagen aufgeteilt:

- 1.Lage: Vorrangig Leistungsbahnen mit großen Masseflächen da die obere Schicht meist dickere Kuferschierungen erlaubt und Abwärme besser abtransportiert wird.
- 2.Lage: Masselage, welche Signal und Leistungsbahnen trennt
- 3.Lage: Signalwege des Feedbackloops
- 4.Lage: Masselage und einige Testsignale

Das Design der einzelnen Lagen ist aus Gründen der Übersichtlichkeit im Anhang zu finden. Nachdem alle Komponenten verbunden wurden, wurden zahlreiche Vias entlang der Leiterbahnen gesetzt, welche Masseverbindungen zwischen den Lagen herstellen. Außerdem wurden Freiflächen für eventuelle Messungen und Zusatzfunktionen wie den Low Power Mode oder Reset angelegt.

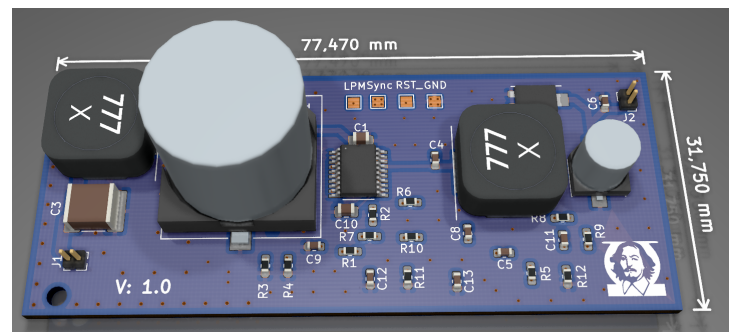


Fig. 5: Rendering der Platine

C. Kosten

TABLE I: Zusätzliche Bauteile

Menge	Name	Beschreibung	Einzelpreis[€]	pro 100+[€]
1	L1	Coilcraft 560 μ H	3,69	1,67
1	C3	AVX MLCC 10 μ F	3,89	1,61

Verglichen mit dem Einzelpreis des TI TPS54362-Q1 von 4,03 € sind die Filterbauteile teuer. Die Kosten relativieren sich allerdings in höheren Stückzahlen, verglichen mit anderen typischen Filtergrößen (z. B. 22 μ H+4.7 μ F). Während der Entwurfsphase wurden noch weitere Filter mit günstigeren Komponenten entworfen, welche allerdings schlechtere Dämpfungseigenschaften aufwiesen. Außerdem wurde der im Referenzdesign [2] empfohlene Tantalkondensator, den Spezifikationen entsprechend, durch einen vergleichbaren Hybrid-Polymer Kondensator (EEHZC1E101XP) ersetzt.

IV. ZUSAMMENFASSUNG

Durch die vorherige Simulation eines DC/DC Konverters mittels eines geeigneten Modells lassen sich, noch vor der eigentlichen Realisierung, Aussagen über das Störverhalten, sowie die Auswirkung verschiedener Filter darauf, treffen. So können schnell und mit minimalen Kostenaufwand geeignete Maßnahmen zur Einhaltung von EMV-Normen getroffen werden. Wie valide diese Simulationen sind und welche Auswirkungen das Boardlayout darauf hat, muss allerdings durch Messungen einer realen Platine überprüft werden.

ANHANG

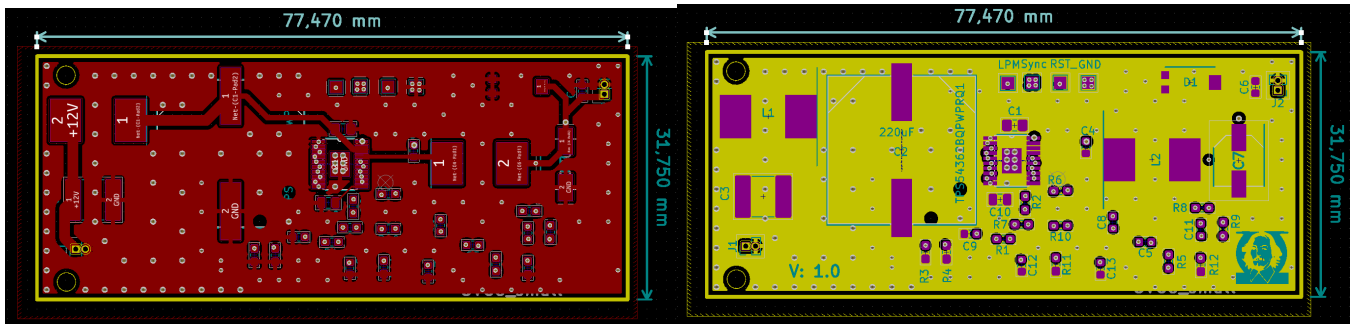
Im Anhang befindet sich eine Übersicht über die Gestaltung der einzelnen Lagen. Außerdem eine Materialliste als externe Excel Tabelle.

DANKSAGUNGEN

Ich möchte mich bei Dr.-Ing. Mathias Magdowski für die fachliche Betreuung des Projekts und der IAV GmbH, insbesondere Herrn Dr. David Hamann, als Sponsor des Wettbewerbs bedanken. Vielen Dank außerdem an meine Kommilitonen Jean-Baptiste Weh und Mohamed Khshainy für Ihre Unterstützung.

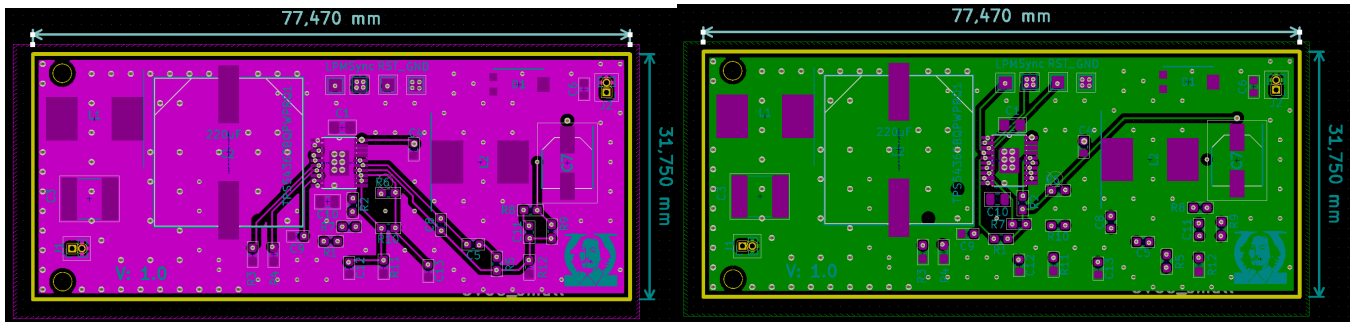
REFERENCES

- [1] "TPS54362-Q1 Datasheet"
- [2] "TPS54362B EVM User's Guide"



(a) obere Lage für Leistungspfade

(b) Innere Lage 1 für Masse



(c) Innere Lage 2 für Feedback

(d) Untere Lage für Masse und weniger sensible Pfade

Fig. 6: Darstellung der einzelnen Lagen